



Researcher **염태준**, 전자공학과 (ytj1256@naver.com)  
안도형, 전자공학과 (ehgud30@naver.com)

Professor **이종욱**, 전자공학과

### ABSTRACT

- 전자종합설계1에서 제작한 NMOS의 Vth를 기준으로 DOE를 통해 전자종합설계2에서 NMOS를 제작하여 저조한 수율을 개선하기로 했습니다.
- 비록 전종설1때는 Vth 값이 avg. -0.84V, 현재는 avg. -1.75V 로 수율을 성립시키지 못했지만 전자종합설계1에서는 24개의 NMOS 중에서 2개만 Modulation이 되었는데 현재는 24개중에 18개가 Modulation이 되었습니다.
- Condition optimization을 통하여 현재 18개의 트랜지스터가 동작했지만 Object Target 과 다른 Vth가 나온 원인을 분석하고 개선하기 위해 노력 중 입니다.

### OBJECTIVES

- 전자종합설계1에서의 MNOS 소자 수율이 약 15% 였습니다. 그래서, Condition optimization으로 목표 수율을 개선하기로 했습니다.
- 목표 수율을 약 75%, target 2.2V의 NMOS 소자를 설계하며 성능 개선시키는 것이 목표 입니다.

### METHODOLOGY

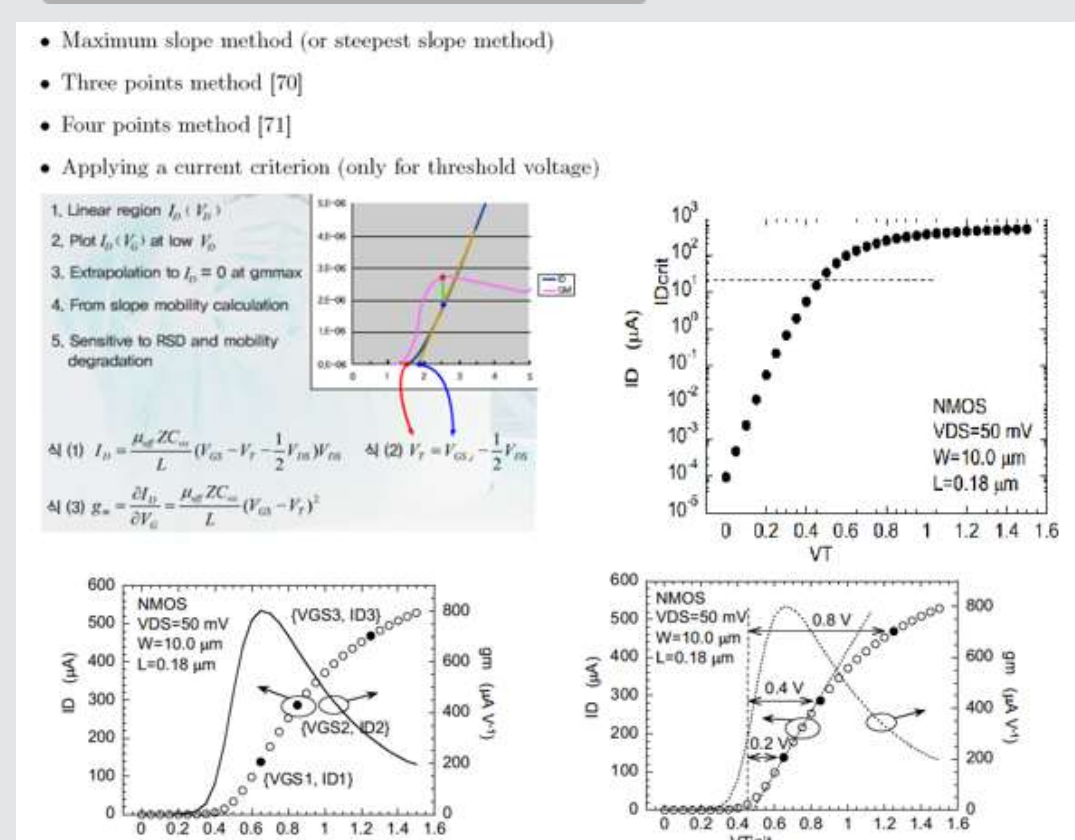


Fig 2. Threshold Voltage measurement

#### 2. Threshold Voltage 구하는 방법

- ID-VG graph에서 가장 작은 VDS(1V) 그래프를 선택
- gm, max를 미분을 통해 측정
- gm, max에서의 선형 그래프를 구해 x 절편을 측정
- Vth = Vgs(@ID=0A) - Vds/2 식을 통해 Vth 측정

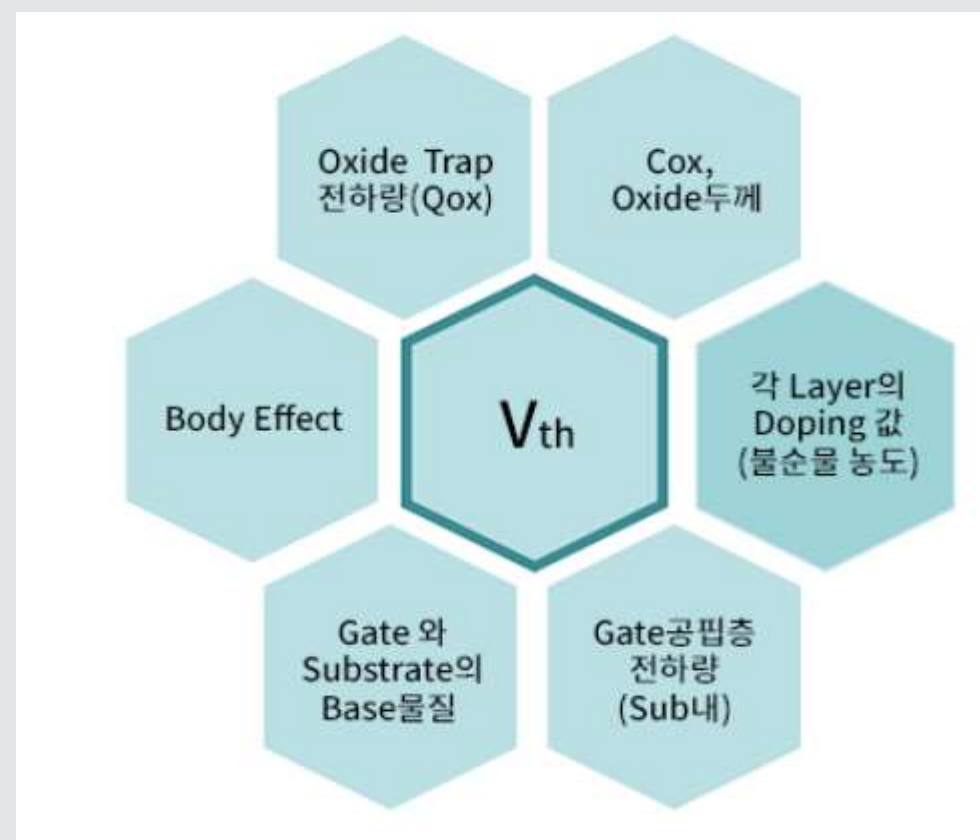


Fig 3. Variables Affecting Threshold Voltage

#### 3. Vth에 영향을 주는 변수들

- Cox, Oxide 두께

$$V_T = V_{FB} + 2\phi_F + \frac{\sqrt{4\epsilon_s q N_a \phi_F}}{C_{ox}}$$

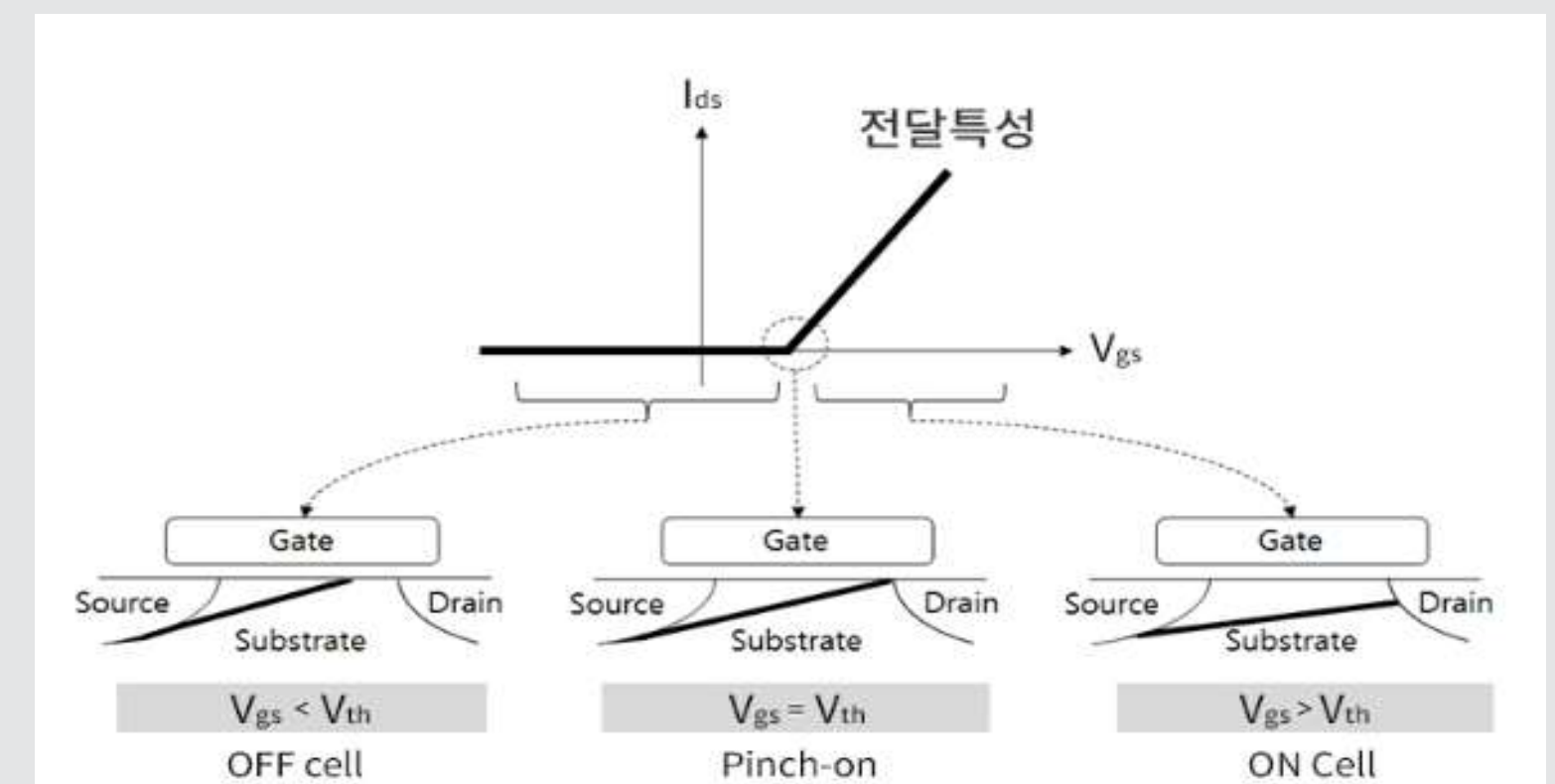
### Condition optimization



Fig 1. Condition Optimization

- Monitoring => 광학현미경으로 웨이퍼 상의 Defect 확인, OTM 으로 layer 두께 확인
- Chemical Status => 오염되지 않은 Developer, Etchant 를 사용
- Process Parameter => Object Target에 맞추기 위한 Parameter 조절

- 각 Layer의 Doping 값 (불순물 농도)
  - 출력단의 저항값이 낮아질수록 드레인 전류가 급격히 상승
- Gate 공핍층 전하량 (sub내)
- Gate와 substrate의 base 물질
- Oxide Trap 전하량 (Qox)
  - 채널 전자는 Cox를 상승시키는데, Cox는 문턱전압과 반비례 관계 (Qox = Cox \* Vth)



### RESULTS

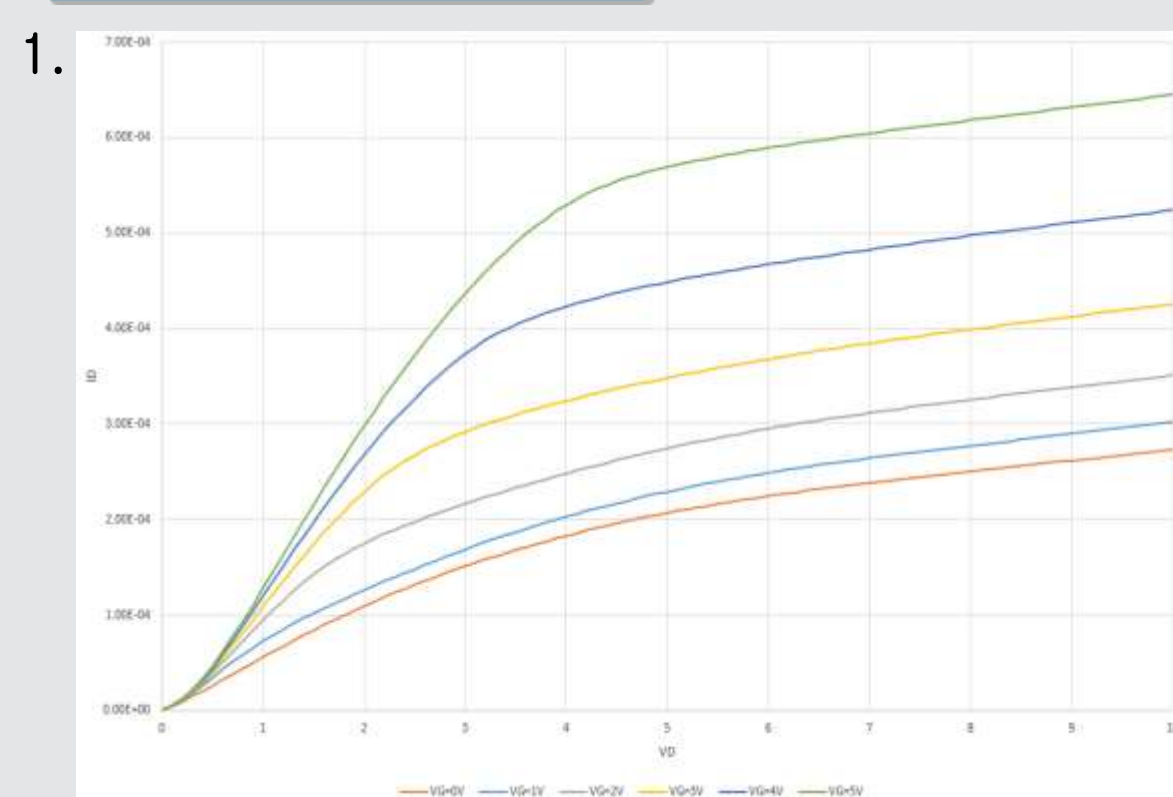


Fig 4. NMOS ID - VD Graph

- ID - VD 그래프에서 게이트 전압에 따른 Modulation 현상이 보이고 VGS=0V에서 cut off가 안 되는 현상을 통해 Vth가 음수임을 확인할 수 있습니다.

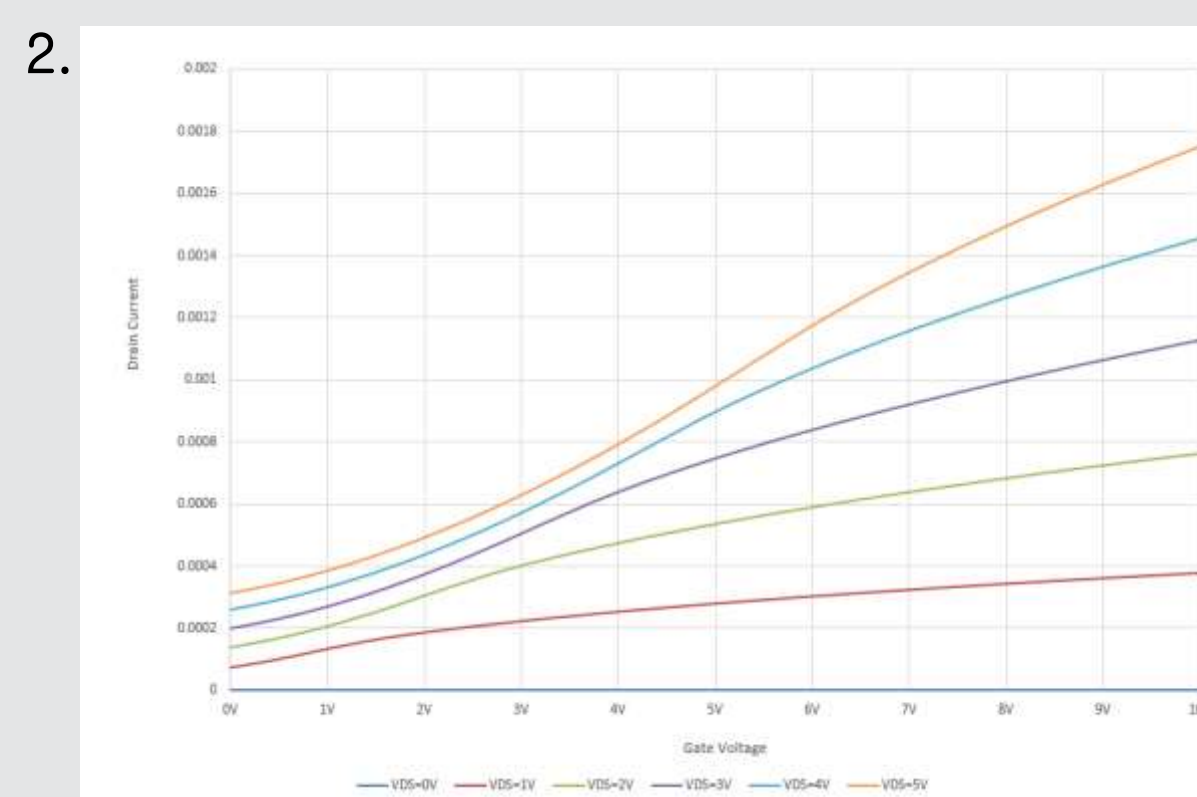


Fig 5. NMOS ID - VG Graph

- Gate 전압이 0V 일 때도 전류가 흐르는 것을 확인할 수 있습니다.
- Transconductance 값이 낮습니다.

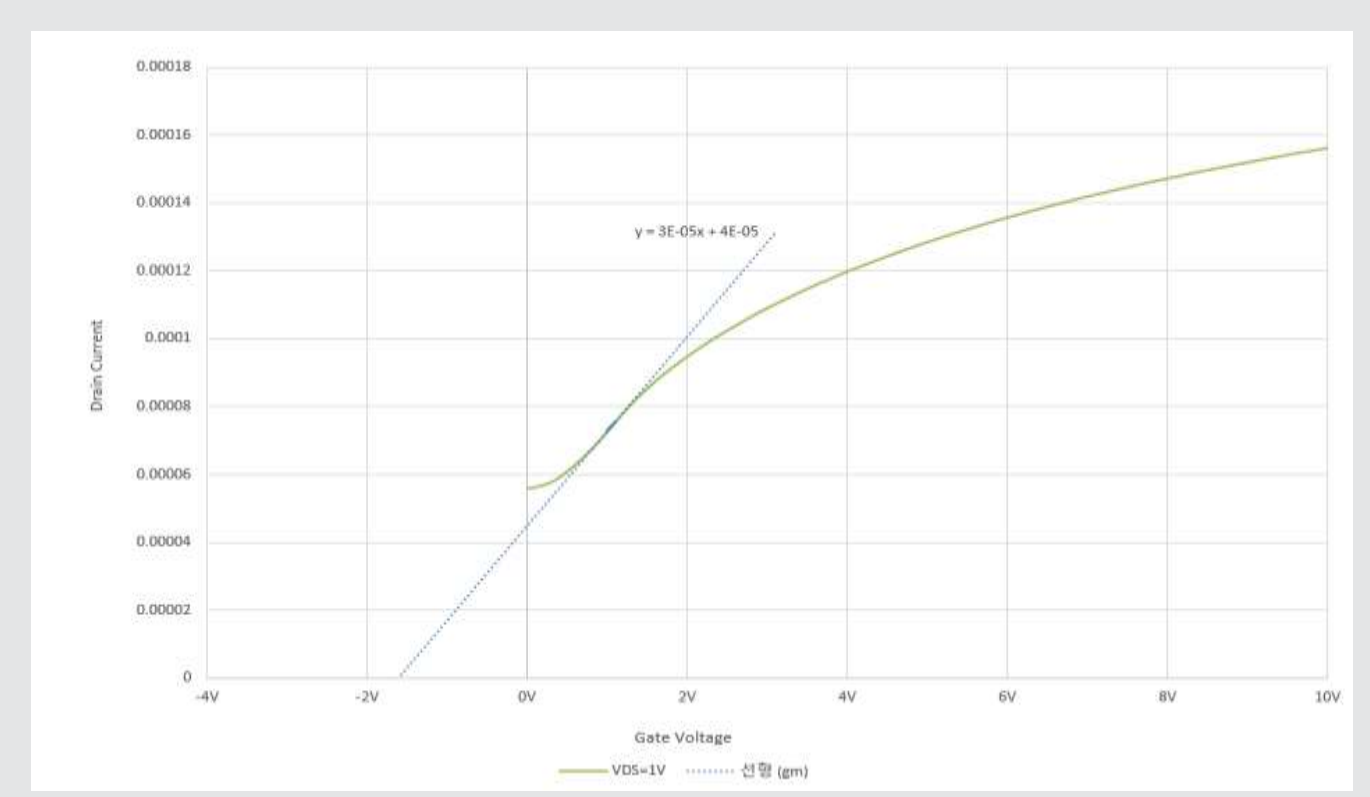


Fig 6. NMOS Maximum Slope Method

- ID - VG 그래프에서 Transconductance값이 최대인 점에서 접선을 그려 Vth 값이 -1.83V 임을 알 수 있습니다.
- 목표했던 Vth 값 2.2V 에서 벗어나는 수치입니다.

### CONCLUSIONS

- DOE를 통한 수율 개선을 시도했지만 target Vth=2.2V에서의 수율은 맞추지 못했다. 하지만, 전자종합설계1 대비 NMOS의 modulation 동작 가능 소자 개수는 15%에서 75%로 개선했습니다.
- Top, Left, Center's Vth avg. -1.75V** 기준으로 산포가 발생했습니다. 다양한 요인에 영향을 받는 Vth를 만족시키는 설계가 잘못되었습니다. 따라서 수율이 저조한 문제가 발생했습니다.
- Target을 벗어난 Vth의 원인을 Monitoring, Chemical status, Process Parameter 관점으로 분석했습니다.
  - Monitoring : 게이트가 단절된 패턴, Target을 벗어난 Oxide 두께, 패턴의 misalignment
  - Chemical status : Oxide trap charge, BOE 용액, developer 용액 등의 오랜 사용으로 인한 농도 문제
  - Process Parameter : 위치에 따른 온도의 차이, 압력, 농도 등 레시피 유지의 어려움, 균일도 문제
- 향후 연구에서는 Vth를 결정하는 다양한 요인을 고려한 설계가 필요하며, 공정 변수에 따른 대응이 필요할 것이다.

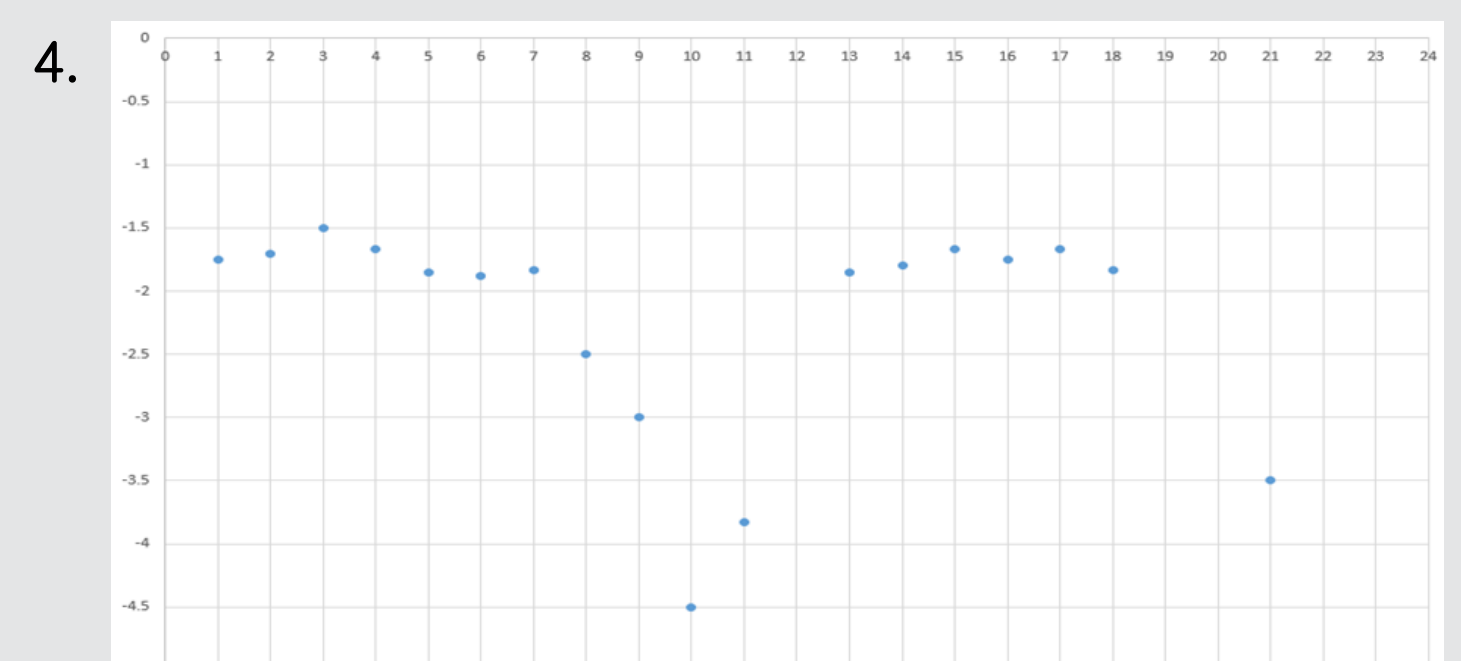


Fig 7. Vth Distribution Chart

**Top, Left, Center's Vth avg. -1.75V**

**Total Vth avg. -2.23V**